

Original document

ELECTRONIC DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2001244404

Publication date: 2001-09-07

Inventor: ONDA MAMORU

Applicant: HITACHI CABLE

Classification:

- international: *H01L25/18; H01L25/04; H01L25/065; H01L25/07; H01L25/065; H01L25/07; H01L25/18; H01L25/04; H01L25/065; H01L25/07; H01L25/065; H01L25/07; (IPC1-7): H01L25/065; H01L25/07; H01L25/04; H01L25/18*

- European:

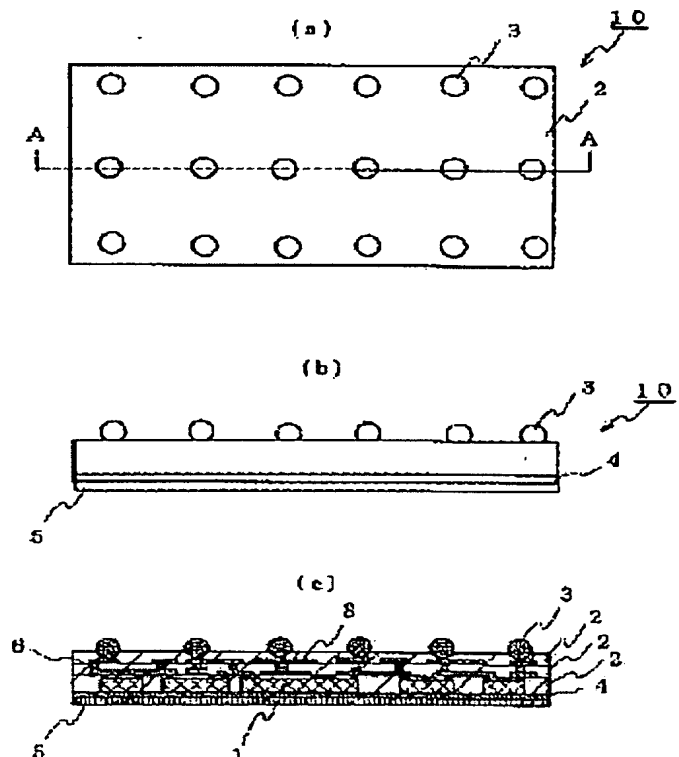
Application number: JP20000197873 20000627

Priority number(s): JP20000197873 20000627; JP19990365252 19991222

[View INPADOC patent family](#)[View list of citing documents](#)[Report a data error here](#)

Abstract of JP2001244404

PROBLEM TO BE SOLVED: To reduce the manufacturing time and costs of an electronic device. **SOLUTION:** Electronic device is provided with one or a plurality of semiconductor chips, wiring that is connected to the semiconductor chip, and a terminal for input/output to an external device that is connected to the wiring. They are packaged by a plurality of layers of insulation resin in steps, and not wiring substrate is provided, the semiconductor chip and wiring for making connection to the semiconductor chip are provided among the plurality of insulation resin layers, and a continuity via for connecting the semiconductor chip to the wiring is provided at the insulation resin layer.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244404

(P2001-244404A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 25/04		H 0 1 L 25/04	Z
25/18		25/08	Z
// H 0 1 L 25/065			
25/07			

審査請求 未請求 請求項の数9 O L (全 12 頁)

(21) 出願番号 特願2000-197873(P2000-197873)

(22) 出願日 平成12年6月27日(2000.6.27)

(31) 優先権主張番号 特願平11-365252

(32) 優先日 平成11年12月22日(1999.12.22)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005120
日立電線株式会社
東京都千代田区大手町一丁目6番1号

(72) 発明者 御田 護
茨城県日立市助川町3丁目1番1号 日立
電線株式会社電線工場内

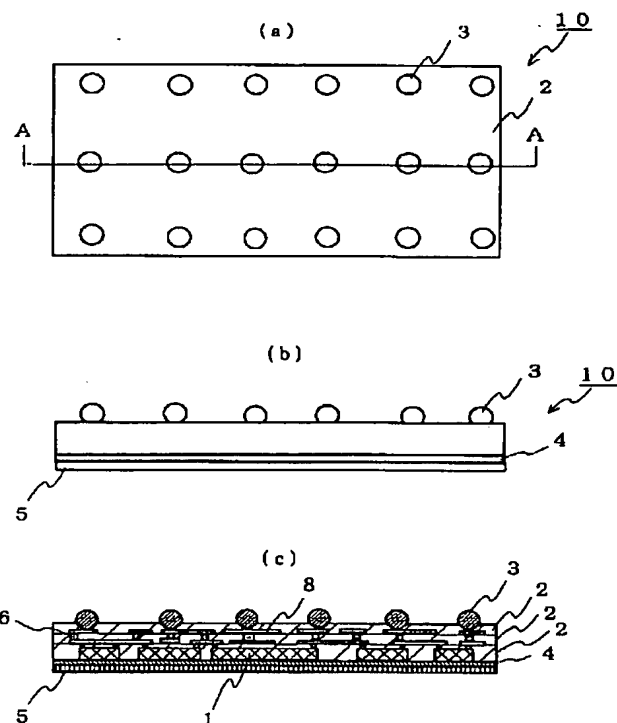
(74) 代理人 100116171
弁理士 川澄 茂

(54) 【発明の名称】 電子装置及びその製造方法

(57) 【要約】

【課題】 電子装置の製造時間及び製造コストを削減すること。

【解決手段】 1個または複数個の半導体チップと、該半導体チップと接続される配線と、該配線と接続された外部装置との入出力用端子を備え、それらを複数層の絶縁樹脂で段階的にパッケージングしてなり、配線基板を設けない構成の電子装置であって、前記複数の各絶縁樹脂層間に前記半導体チップ、または前記半導体チップとの接続を行う配線を設け、前記半導体チップと配線との接続を行う導通ビアを前記絶縁樹脂層に設ける。



【特許請求の範囲】

【請求項1】1個または複数個の半導体チップと、該半導体チップと接続される配線と、該配線と接続された外部装置との入出力用端子を備え、それらを複数層の絶縁樹脂で段階的にパッケージングしてなり、配線基板を設けない構成の電子装置であって、

前記複数の各絶縁樹脂層間に前記半導体チップ、または前記半導体チップとの接続を行う配線を設け、前記半導体チップと配線との接続を行う導通ビアを前記絶縁樹脂層に設けたことを特徴とする電子装置。

【請求項2】前記請求項1に記載の電子装置において、前記複数の絶縁樹脂層を介して、複数個の半導体チップが積載された構造を有することを特徴とする電子装置。

【請求項3】前記請求項1に記載の電子装置において、1つの絶縁樹脂層間に複数個の半導体チップが並載された構造を有することを特徴とする電子装置。

【請求項4】前記請求項1乃至3のいずれか1項に記載の電子装置において、

前記半導体チップで生じる熱を放出する放熱板を前記半導体チップの非素子形成面、または前記絶縁樹脂層に設けたことを特徴とする電子装置。

【請求項5】前記請求項1乃至4のいずれか1項に記載の電子装置において、

前記複数層の絶縁樹脂のうち、少なくとも1層、または同一層内の一部分が異なる誘電率を有することを特徴とする電子装置。

【請求項6】凹型の形成容器を用いた電子装置の製造方法であって、

前記形成容器内の凹部に硬化剤配合の液状絶縁樹脂を所定の厚さに流し込み、該液状絶縁樹脂を半硬化させた第1の絶縁樹脂層を形成する第1樹脂層形成工程と、

該第1の絶縁樹脂層上に素子形成面を上向きにした1個または複数個の半導体チップを配置するチップ配置工程と、

該半導体チップ上に所定の高さになるように液状絶縁樹脂を流し込み、該液状絶縁樹脂を硬化させて第2の絶縁樹脂層を形成する第2樹脂層形成工程と、

該半導体チップとの接続のためのビア穴を該第2の絶縁樹脂層に形成するビア穴形成工程と、

該ビア穴及び第2の絶縁樹脂層上に導電性薄膜を形成する導電性薄膜形成工程と、

該導電性薄膜をエッチングして配線を形成する配線形成工程と、

該形成された配線上に液状絶縁樹脂を流し込み、該液状絶縁樹脂を硬化させて第3の絶縁樹脂層を形成する第3樹脂層形成工程と、

入出力端子のためのビア穴を該第3の絶縁樹脂層に形成し、該ビア穴を介して該配線と接続する入出力端子を形成する入出力端子形成工程と、からなることを特徴とする電子装置の製造方法。

【請求項7】前記請求項6に記載の電子装置の製造方法において、

前記第1樹脂形成工程の代わりに、前記形成容器内の凹部に前記半導体チップを固着する接着剤を塗布した放熱板を設置する放熱板設置工程を有することを特徴とする電子装置の製造方法。

【請求項8】前記請求項6、または7に記載の電子装置の製造法において、

複数個の半導体チップの積載、または複数層の配線形成を行う場合には、前記樹脂層形成工程、チップ配置工程、ビア穴形成工程、導電性薄膜形成工程、または配線形成工程を必要に応じて複数回繰り返して電子装置を製造することを特徴とする電子装置の製造方法。

【請求項9】前記請求項6乃至8に記載の電子装置の製造法において、

前記各樹脂層形成工程に用いられる絶縁樹脂層は、少なくとも1層、または同一層内の一部分が異なる誘電率を有することを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、配線基板を有さない電子装置及びその製造方法に関し、特に、メモリモジュール、携帯電話用モジュール等や、電子SI (System Integration) 装置及び製造方法に適用して有効な技術に関するものである。

【0002】

【従来の技術】電子装置の例として、情報処理装置を取り挙げて説明していく。

【0003】従来の情報処理装置は、配線形成されたマザーボード上に、それぞれの情報処理を行うためのSRAM及びDRAM等のメモリ、DSP (Digital Signal Processor)、MPU (Microprocessing Unit) とASIC (Application Specific IC) 等の半導体装置が搭載され、それぞれの半導体装置間の接続は配線基板に形成された配線によって行われていた。

【0004】また、その製造は、上述した各半導体装置を別々に製造し、配線形成された基板にそれぞれ搭載することによって行われていた。

【0005】

【発明が解決しようとする課題】従来の電子装置は、上述したように、電子装置を形成する各半導体装置をそれぞれ別々にパッケージングし、それを基板に搭載することで製造される。

【0006】このように、従来では、複数個の半導体装置の製造工程と、それを搭載する基板の製造工程と、及びそれらの接続工程とが、それぞれ別工程で行われたため、電子装置における製造時間と製造コストが増大するという問題点があった。

【0007】本発明の目的は、電子装置の製造時間及び製造コストを削減することが可能な技術を提供すること

にある。

【0008】

【課題を解決するための手段】本発明において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0009】(1) 1個または複数個の半導体チップと、該半導体チップと接続される配線と、該配線と接続された外部装置との入出力用端子を備え、それらを複数層の絶縁樹脂で段階的にパッケージングしてなり、配線基板を設けない構成の電子装置であって、前記複数の各絶縁樹脂層間に前記半導体チップ、または前記半導体チップとの接続を行う配線を設け、前記半導体チップと配線との接続を行う導通ビアを前記絶縁樹脂層に設ける。

【0010】(2) (1) の電子装置において、前記複数の絶縁樹脂層を介して、複数個の半導体チップが積載された構造を有する。

【0011】(3) (1) の電子装置において、前記絶縁樹脂層間に複数個の半導体チップが並載された構造を有することを特徴とする電子装置。

【0012】(4) (1) 乃至 (3) のいずれか 1 つの電子装置において、前記半導体チップで生じる熱を放出する放熱板を前記半導体チップの非素子形成面、または前記絶縁樹脂層に設ける。

【0013】(5) (1) 乃至 (4) のいずれか 1 つの電子装置において、前記複数の絶縁樹脂のうち、少なくとも 1 層、または同一層内の一部分が異なる誘電率を有する。

【0014】(6) 凹型の形成容器を用いた電子装置の製造方法であって、前記形成容器内の凹部に硬化剤配合の液状絶縁樹脂を所定の厚さに流し込み、該液状絶縁樹脂を半硬化させた第 1 の絶縁樹脂層を形成する第 1 樹脂層形成工程と、該第 1 の絶縁樹脂層上に素子形成面を上向きにした 1 個または複数個の半導体チップを配置するチップ配置工程と、該半導体チップ上に所定の高さになるように液状絶縁樹脂を流し込み、該液状絶縁樹脂を硬化させて第 2 の絶縁樹脂層を形成する第 2 樹脂層形成工程と、該半導体チップとの接続のためのビア穴を該第 2 の絶縁樹脂層に形成するビア穴形成工程と、該ビア穴及び第 2 の絶縁樹脂層上に導電性薄膜を形成する導電性薄膜形成工程と、該導電性薄膜をエッチングして配線を形成する配線形成工程と、該形成された配線上に液状絶縁樹脂を流し込み、該液状絶縁樹脂を硬化させて第 3 の絶縁樹脂層を形成する第 3 樹脂層形成工程と、入出力端子のためのビア穴を該第 3 の絶縁樹脂層に形成し、該ビア穴を介して該配線と接続する入出力端子を形成する入出力端子形成工程と、からなる。

【0015】(7) (6) の電子装置の製造方法において、前記第 1 樹脂形成工程の代わりに、前記形成容器内の凹部に前記半導体チップを固着する接着剤を塗布した放熱板を設置する放熱板設置工程を有することを特徴と

する電子装置の製造方法。

【0016】(8) (6) または (7) の電子装置の製造法において、複数個の半導体チップの積載、または複数層の配線形成を行う場合には、前記樹脂層形成工程、チップ配置工程、ビア穴形成工程、導電性薄膜形成工程、または配線形成工程を必要に応じて複数回繰り返して電子装置を製造する。

【0017】上記手段によれば、電子装置を複数回（複数層）に分けて多段階的にパッケージングし、そのパッケージ材料の絶縁性を利用して、各層を基板に見立て、各パッケージ層上に配線形成することによって、パッケージングしながら配線形成できるので、配線基板を用いない電子装置を製造可能となる。

【0018】また、従来の電子装置の製造にかかっていた複数の工程（複数個の半導体装置の製造工程、それを搭載する配線基板の製造工程、及びそれらの接続工程）を一つの工程として行うことができるので、電子装置の製造時間及び製造コストを削減することが可能となる。

【0019】(9) (6) 乃至 (8) に記載の電子装置の製造法において、前記各樹脂層形成工程に用いられる絶縁樹脂層は、少なくとも 1 層、または同一層内の一部分が異なる誘電率を有する。

【0020】

【発明の実施の形態】（実施形態）本発明にかかわる実施の形態を図面を用いて詳細に説明する。

【0021】図 1 は、本発明の一実施形態に係る電子装置の構成を説明するための図であり、図 1 (a) は上から見た平面図であり、図 1 (b) は側面図であり、図 1 (c) は図 1 (a) に示す A-A 線で切った拡大断面図である。

【0022】本実施形態の電子装置 10 は、図 1 (a) ~ 図 1 (c) に示すように、電子装置を形成する複数個の半導体チップ（例えば、MPU、SRAM、DRAM、CASH、DSP、ASIC 等のモジュールチップ）1 と、それら半導体チップ 1 を包み込むように設けられ、パッケージング及び配線基板の役目を兼ねた形成樹脂 2 と、その形成樹脂内に設けられた多層の導電配線 8 と、各導電配線を接続する導電性が確保（例えば、金属めっき、導電性材料の充填）されたビア穴 6 と、半導体チップ 1 の放熱を行う放熱板（またはスティフナ）5 と、半導体チップ 1 と放熱板 5 を接着する接着剤 4 と、導電配線 8 と電気的に接続されたボール端子（入出力端子）3 とから構成される。すなわち、パッケージの中に配線のための基板を有しない構成になっている。なお、本発明で用いているパッケージングとは、上記電子装置を構成するものをひとまとまりにパックすることを示し、それらが形成樹脂（絶縁樹脂）2 で完全に封止されるという意味ではない。すなわち、ここで示しているパッケージングとは、従来の樹脂封止工程と付属部品の組立工程を 1 つにした工程を示す。本実施形態 1 では、放

熱板 5 とボール端子 3 は形成樹脂 2 から露出した構成でパッケージングされる。

【0023】ここで、形成樹脂 2 は硬化剤配合の液状絶縁樹脂であり、例えば硬化剤配合の熱硬化性液状エポキシ樹脂、アクリルニトリル配合の変成エポキシ樹脂など、あるいはメチルピロリドン溶剤希釈のポリイミドワニス（ポリアミック酸無水物）などの液状樹脂を用いる。また、各層の形成樹脂 2 は同一の樹脂で統一する必要はない。さらに、同一層内でも異なる樹脂、または誘電率の異なる加工をした樹脂を選択的にポッティングすることにより同一層を異なる樹脂で形成できる。

【0024】このように、異なる樹脂、または、誘電率が異なるように加工した樹脂を組み合わせることで電子装置を形成でき、これによってキャパシタンスの調整を行うことが可能になる。

【0025】放熱板 5 としては、例えば、金属板、セラミック板などを用いる。

【0026】また、接着剤 4 は、半導体チップ 1 と放熱板 5 間の応力緩衝作用を有するものが望ましいが、放熱板 5 の熱膨張係数が半導体チップと同等の場合（例えば、放熱板 5 がアルミナセラミック）は、エポキシ樹脂系、シリコン樹脂系等の接着性のある樹脂であればよい。

【0027】次に、本実施形態の電子装置 10 の製造方法について図 2 ～ 図 8 を用いて説明する。ここでは、2 層の導電配線 8 を有する電子装置を取り上げて説明する。

【0028】図 2 は、本実施形態の電子装置 10 の製造を行うための形成容器を示した図であり、図 2 (a) は上から見た平面図、図 2 (b) は図 2 (a) の B-B 線で切った断面図をそれぞれ示す。なお、図 3 ～ 図 8 においては、把握しやすいように部分的にハッチングした断面図で示してある。

【0029】本実施形態の電子装置 10 の製造は、図 2 に示す形成容器 20 を用いて行われる。形成容器 20 は、中央部が電子装置の大きさに削り貫かれた凹型の容器であり、半導体チップ 1 の位置決めのためのマーク 21 が付いている。

【0030】本実施形態の電子装置 10 の製造方法は、図 3 (a) に示すように、まず、形成容器 20 内に接着剤 4 を塗布した放熱板 5 を接着剤 4 の塗布側を上向きに設置する。なお、放熱板 5 を取り付けない場合は、形成樹脂 2 を一定の高さに流し込み、半硬化にして半導体チップ 1 を搭載する。ここで、一定の高さは、例えば、 $10\mu\text{m} \sim 100\mu\text{m}$ である。

【0031】その後、図 3 (b) に示すように、位置認識カメラ等を用いて形成容器 20 のマーク 21 を認識し、この認識されたマーク 21 基準の座標に対して半導体チップ 1 の素子形成面を上向きにし、各半導体チップ 1 を位置決め搭載する。図 3 (c) に示す平面図にその

半導体チップ 1 の搭載例を示す。

【0032】次に、図 4 (a) に示すように、半導体チップ 1 上に一定の高さ（少なくとも半導体チップが隠れる高さ以上）の形成樹脂 2 を流し込む。ここでの高さは、レーザ等でビア穴 6 を開口できる高さがあればよいので、例えば、半導体チップ 1 の表面から $10\mu\text{m} \sim 100\mu\text{m}$ の高さとする。

【0033】その後、その形成樹脂 2 を硬化させてから、図 4 (b) に示すように、例えば、炭酸ガスレーザまたはエキシマレーザを用いて半導体チップ 1 のアルミ電極の位置に微細穴をビア穴 6 として開口する。このビア穴 6 は、穴径約 $50 \sim 100\mu\text{m}$ の円形又は矩形である。なお、形成樹脂 2 の硬化はエポキシ樹脂系は $170^\circ\text{C} \times 90\text{分}$ 、ポリイミドは $250^\circ\text{C} \times 90\text{分}$ で行う。

【0034】その後、図 4 (c) に示すように、半導体チップ 1 の電極上部のビア穴 6 から形成樹脂 2 の上部全面に導電性薄膜である導電層 7 を形成する。ここでの導電層 7 の形成は、従来の導電性薄膜の形成方法をそのまま適応して行う。例えば、金属（例えば、銅など）の無電解めっき法、無電解めっき＋電気めっき法、ペースト印刷、または真空蒸着などによって行う。

【0035】次に、図 5 (a) に示すように、導電層 7 に対してフォトリソエッチングで導電配線 8 を形成する。導電配線 8 の形成後、図 5 (b) に示すように、形成樹脂 2 を一定の高さに一定に流し込み、図 5 (c) に示すように、導電配線 8 の所定位置に炭酸ガスレーザまたはエキシマレーザを用いてビア穴 6 を開口する。

【0036】次に、図 6 (a) に示すように、半導体チップ 1 の電極上部のビア穴 6 から形成樹脂 2 の上部全面に金属（例えば、銅など）の無電解めっき法、無電解めっき＋電気めっき法、または真空蒸着などによって導電層 7 を形成する。その後、図 6 (b) に示すように、導電層 7 に対してフォトリソエッチングで導電配線 8 を形成する。なお、多層配線にする場合は、再度形成樹脂 2 を導電配線 8 上に一定の高さ流し込み、ビア穴 6 を開口し、導電層 7 を形成し、エッチングにより導電配線 8 を形成する工程を繰り返す。その後、図 6 (c) に示すように、形成樹脂 2 を一定の高さに流し込む。

【0037】次に、図 7 (a) に示すように、導電配線 8 の所定位置に炭酸ガスレーザまたはエキシマレーザを用いてボール端子 3 用の端子穴 3a を開口する。その後、図 7 (b) に示すように、入出力端子であるボール端子（例えば、半田ボール）3 を取り付けする。

【0038】最後に、形成容器 20 から形成されたものを取り出し、図 7 (c) に示す電子装置 10 を得る。

【0039】なお、ボール端子 3 として半田ボールを用いるときには、接続される導電層 7 の形成は、無電解ニッケルめっき、または無電解ニッケル＋電気ニッケルめっきによって形成されたニッケル層に銅めっき、または金めっきを施したものをを用いる。

【0040】また、この電子装置10を複数個組み合わせ、別の電子装置を構成する場合（例えば、DIMM等の両面実装の電子装置）は、例えば、図8（a）に示すように、内部に複数の電子装置10を電気的に接続するインタポーザと、電子装置接続端子と入出力端子であるコネクタ端子12とを備えたボード11に、本実施形態の電子装置10を搭載するようにする。これにより、図8（b）に示す電子装置100を得る。

【0041】このように、電子装置を複数回（複数層）に分けて多段階的にパッケージングし、そのパッケージ材料の絶縁性を利用して、各層を基板に見立て、各パッケージ層上に配線形成することによって、パッケージングしながら配線形成できるので、配線基板を用いない電子装置を製造可能となる。

【0042】また、従来の電子装置の製造にかかっていた複数の工程（複数の半導体装置の製造工程、それを搭載する配線基板の製造工程、及びそれらの接続工程）を一つの工程として行うことができるので、電子装置の製造時間及び製造コストを削減することが可能となる。

【0043】また、異なる樹脂、または、誘電率が異なるように加工した樹脂を組み合わせることで、これによってキャパシタンスの調整を行うことが可能になる。

【0044】また、本実施形態の電子装置は、配線基板を用いない構成であるため、電子装置を容易に小型化できる。

【0045】また、配線基板を用いないことから配線長を短くできるので、伝送の遅延時間を少なくすることができ、電気特性が向上することが可能になる。

【0046】さらに、従来のように、配線基板に半導体装置を搭載した構造ではなく、配線、半導体チップ等を絶縁樹脂でパッケージングした構造を有するので、電子装置の全体の耐衝撃性が向上する。

【0047】なお、本実施形態では、複数の半導体チップ1を搭載した電子装置を取り挙げて説明してきたが、半導体チップ1個を有する電子装置、すなわち半導体装置も同様に適応可能である。

【0048】（実施例1）本実施形態の電子装置10において、ボール端子3の代わりに、形成樹脂2の導電配線自体に差し込み用のコネクタ端子を入出力端子として設けてもよい。

【0049】本実施例1では、その電子装置の例としてメモリモジュールを取り挙げ説明する。

【0050】図9は、本実施例1の電子装置であるメモリモジュールの構成を説明するための図であり、図9（a）は、上から見た平面図、図9（b）は図9（a）のC-C線で切った断面図をそれぞれ示す。

【0051】図9（a）、図9（b）に示すように、本実施例1のメモリモジュール30は、半導体チップ1が形成樹脂2で覆われた半導体チップ内蔵型であり、半導

体チップ1の内蔵箇所でない表面スペースにコネクタ端子12が設けられ、そのコネクタ端子のエリアにかからないように半導体チップ1の内蔵箇所付近だけに接着剤4を介して放熱板5を取り付けた構成をとる。半導体チップ1とコネクタ端子12との電気的接続は、導電配線8とビア穴6とを介して行っている。本実施例1のメモリモジュール30は、コネクタ端子12を含め3層の導電配線層を形成してある。

【0052】次に、本実施例1のメモリモジュール30の製造方法について図10、図11を用いて説明する。図10、図11は、本実施例のメモリモジュール30の製造方法を説明するための図であり、部分的にハッチングした断面図で示してある。

【0053】本実施例1のメモリモジュール30の製造方法は、図10（a）に示すように、形成容器20にコネクタ端子の配置エリア以外に接着剤4付きの放熱板5を載せる。その後、図10（b）に示すように、放熱板5上の接着剤4に半導体チップ1を素子形成面を上貼り付け、形成樹脂2を一定の高さになるように流し込む。そして、上述した実施形態と同様な方法で図10（c）に示すビア穴6と1層目の導電配線8の形成を行い、その上に形成樹脂2を再度流し込む。

【0054】次に、図11（a）に示すように、ビア穴6と2層目の導電配線8の形成を行い、その上に形成樹脂2を流し込み、コネクタ端子12と接続するビア穴6を開口する。その後、形成樹脂2の上表面とビア穴6に対して無電解銅めっき、または無電解銅めっき+電気銅めっきを施し、エッチングを行い、コネクタ端子12を形成する。

【0055】最後に、形成容器20から取り出し、図11（c）に示すメモリモジュール30を得る。

【0056】（実施例2）本実施例2では、薄型（0.06μm程度）複数の半導体チップを縦方向に積層してなる電子装置を説明する。

【0057】図12は、本実施例2の電子装置の構成を説明するための図であり、図12（a）は上から見た平面図であり、図12（b）は側面図であり、図12（c）は図12（a）に示すC-C線で切った拡大断面図である。

【0058】本実施例2の電子装置10は、図12（a）～図12（c）に示すように、電子装置を形成する積層された複数の半導体チップ（例えば、MPU、SRAM、DRAM、CASH、DSP、ASIC等のモジュールチップ）1と、それら半導体チップ1を包み込むように設けられ、パッケージング及び配線基板の役目を兼ねた形成樹脂2と、その形成樹脂内に設けられた多層の導電配線8と、各導電配線を接続する導電性が確保（例えば、金属めっき、導電性材料の充填）されたビア穴6と、導電配線8と電気的に接続されたボール端子（入出力端子）3とから構成される。すなわち、この実

施例 2 も実施形態と同様に、パッケージの中に配線のための基板を有しない構成になっている。

【0059】形成樹脂 2 は、実施形態と同様に硬化剤配合の液状絶縁樹脂を用い、放熱板 5 も、金属板、セラミック板などを用いる。

【0060】また、接着剤 4 は、半導体チップ 1 と放熱板 5 間の応力緩衝作用を有するものが望ましいが、放熱板 5 の熱膨張係数が半導体チップと同等の場合（例えば、放熱板 5 がアルミナセラミック）は、エポキシ樹脂系、シリコン樹脂系等の接着性のある樹脂であればよい。

【0061】次に、本実施例 2 の電子装置 10 の製造方法について図 13～図 19 を用いて説明する。ここでは、3 層の導電配線 8 を有する電子装置を取り挙げて説明する。また、本実施例 2 の電子装置 10 の製造を行うための形成容器は実施形態と同様のものを用いる。

【0062】本実施例 2 の電子装置 10 の製造は、図 13 (a) に示すように、まず、形成樹脂 2 を一定の高さ（ $10\mu\text{m}\sim 100\mu\text{m}$ ）に流し込み、半硬化にして半導体チップ 1 を搭載する。

【0063】その後、図 13 (b) に示すように、位置認識カメラ等を用いて形成容器 20 のマーカ 21 を認識し、この認識されたマーカ 21 基準の座標に対して半導体チップ 1 の素子形成面を上向きにし、各半導体チップ 1 を位置決め搭載する。

【0064】次に、図 13 (c) に示すように、半導体チップ 1 上に一定の高さ（少なくとも半導体チップが隠れる高さ以上）の形成樹脂 2 を流し込む。ここでの高さは、レーザ等でビア穴 6 を開口できる高さがあればよいので、例えば、半導体チップ 1 の表面から $10\mu\text{m}\sim 100\mu\text{m}$ の高さとする。

【0065】その後、その形成樹脂 2 を硬化させてから、図 14 (a) に示すように、例えば、炭酸ガスレーザまたはエキシマレーザを用いて半導体チップ 1 のアルミ電極の位置に微細穴をビア穴 6 として開口する。このビア穴 6 は、穴径約 $50\sim 100\mu\text{m}$ の円形又は矩形である。なお、形成樹脂 2 の硬化はエポキシ樹脂系は $170^\circ\text{C}\times 90\text{分}$ 、ポリイミド系は $250^\circ\text{C}\times 90\text{分}$ で行う。

【0066】その後、図 14 (b) に示すように、半導体チップ 1 の電極上部のビア穴 6 から形成樹脂 2 の上部全面に導電性薄膜である導電層 7 を形成する。ここでの導電層 7 の形成は、従来の導電性薄膜の形成方法をそのまま適応して行う。例えば、金属（例えば、銅など）の無電解めっき法、無電解めっき+電気めっき法、ペースト印刷、または真空蒸着などによって行う。

【0067】次に、図 14 (c) に示すように、導電層 7 に対してフォトリソエッチングで導電配線 8 を形成する。導電配線 8 の形成後、図 15 (a) に示すように、形成樹脂 2 を一定の高さに一定に流し込み、図 15

(b) に示すように、半導体チップ 1 を所定位置に搭載し、図 15 (c) に示すように、再び形成樹脂 2 を一定の高さになるように流し込む。その後、図 16 (a) に示すように、形成樹脂 2 を硬化させてから導電配線 8 の所定位置に炭酸ガスレーザまたはエキシマレーザを用いてビア穴 6 を開口する。

【0068】次に、図 16 (b) に示すように、半導体チップ 1 の電極上部のビア穴 6 から形成樹脂 2 の上部全面に金属（例えば、銅など）の無電解めっき法、無電解めっき+電気めっき法、または真空蒸着などによって導電層 7 を形成する。その後、図 16 (c) に示すように、導電層 7 に対してフォトリソエッチングで導電配線 8 を形成する。その後、図 17 (a) に示すように、形成樹脂 2 を一定の高さに流し込む。

【0069】次に、図 17 (b) に示すように、半導体チップ 1 を所定位置に搭載し、図 17 (c) に示すように、再び形成樹脂 2 を一定の高さになるように流し込む。その後、図 18 (a) に示すように、形成樹脂 2 を硬化させてから導電配線 8 の所定位置に炭酸ガスレーザまたはエキシマレーザを用いてビア穴 6 を開口する。

【0070】次に、図 18 (b) に示すように、半導体チップ 1 の電極上部のビア穴 6 から形成樹脂 2 の上部全面に導電層 7 を形成する。その後、図 18 (c) に示すように、導電層 7 に対してフォトリソエッチングで導電配線 8 を形成する。その後、図 19 (a) に示すように、形成樹脂 2 を一定の高さに流し込む。

【0071】次に、図 19 (b) に示すように、導電配線 8 の所定位置に炭酸ガスレーザまたはエキシマレーザを用いてボール端子 3 用の端子穴 3 a を開口する。その後、図 19 (c) に示すように、入出力端子であるボール端子（例えば、半田ボール）3 を取り付ける。

【0072】最後に、形成容器 20 から形成されたものを取り出し、図 12 に示す電子装置 10 を得る。

【0073】複数個の半導体チップを積層した電子装置の場合でも、複数回（複数層）に分けて多段階的にパッケージングし、そのパッケージ材料の絶縁性を利用して、各層を基板に見立て、各パッケージ層上に配線形成することによって、パッケージングしながら配線形成できるので、配線基板を用いない電子装置を製造可能となる。

【0074】したがって、説明してきたように、配線基板を用いた配線形成でなく、パッケージング工程を利用して配線形成することによって、電子装置を一工程で製造することができるので、電子装置の製造時間及び製造コストを削減することが可能となる。

【0075】また、異なる樹脂、または、誘電率が異なるように加工した樹脂を組み合わせることで電子装置を形成ことができ、これによってキャパシタンスの調整を行うことが可能になる。

【0076】また、配線基板を用いないことから配線長

を短くできるので、伝送の遅延時間を少なくすることができ、電気特性が向上することが可能になる。

【0077】さらに、電子装置の製造時間及び製造コストを削減できることから、大量製造が容易に可能になる。

【0078】このことから、例えば、小型化、耐衝撃性、及び大量製造が要求される携帯電話のモジュール、ICカード等には特に有効である。

【0079】なお、本発明の電子装置の製造法は、上述した電子装置だけでなく、配線基板に半導体装置を搭載してなる従来の電子装置全てに適用可能である。

【0080】以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0081】

【発明の効果】本発明において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0082】電子装置を複数回（複数層）に分けてパッケージし、その際にパッケージ材料の絶縁性を利用して、各層を基板に見立てて配線形成することによって、従来、電子装置の製造にかかっていた複数の工程（複数個の半導体装置の製造工程、それを搭載する基板の製造工程、及びそれらの接続工程）を一つの工程として行うことができるので、電子装置の製造時間及び製造コストを削減することが可能となる。

【0083】また、異なる樹脂、または、誘電率が異なるように加工した樹脂を組み合わせて電子装置を形成することでき、これによってキャパシタンスの調整を行うことが可能になる。

【0084】また、配線基板を用いないことから配線長を短くできるので、伝送の遅延時間を少なくすることができ、電気特性が向上することが可能になる。

【0085】また、配線基板を用いない構成であるため、電子装置を容易に小型化できる。

【0086】さらに、配線、半導体チップ等を絶縁樹脂でパッケージングした構造を有するので、耐衝撃性が向上する。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る電子装置の構成を説明するための図である。

【図2】本実施形態の電子装置10の製造を行うための形成容器を示した図である。

【図3】本実施形態の電子装置の製造方法を説明するための図である。

【図4】本実施形態の電子装置の製造方法を説明するた

めの図である。

【図5】本実施形態の電子装置の製造方法を説明するための図である。

【図6】本実施形態の電子装置の製造方法を説明するための図である。

【図7】本実施形態の電子装置の製造方法を説明するための図である。

【図8】本実施形態の電子装置を複数個組み合わせた電子装置の例を示した図である。

10 【図9】本実施例1の電子装置であるメモリモジュールの構成を説明するための図である。

【図10】本実施例1のメモリモジュール30の製造方法を説明するための図である。

【図11】本実施例1のメモリモジュール30の製造方法を説明するための図である。

【図12】本実施例2の電子装置の構成を説明するための図である。

【図13】本実施例2の電子装置の製造方法を説明するための図である。

20 【図14】本実施例2の電子装置の製造方法を説明するための図である。

【図15】本実施例2の電子装置の製造方法を説明するための図である。

【図16】本実施例2の電子装置の製造方法を説明するための図である。

【図17】本実施例2の電子装置の製造方法を説明するための図である。

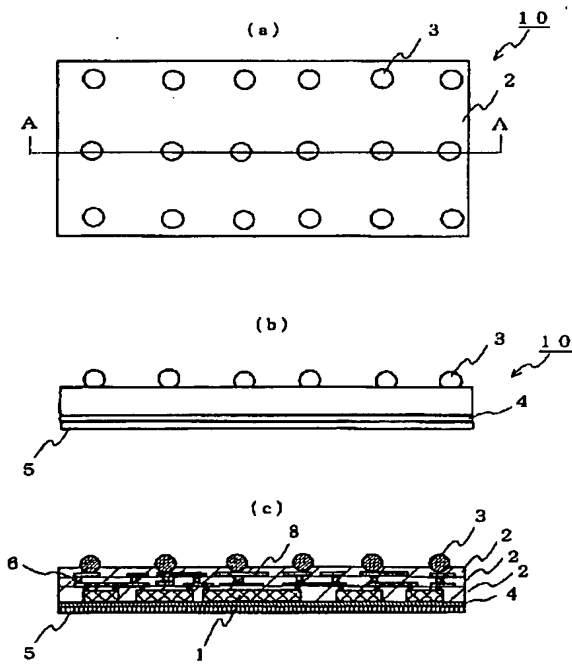
【図18】本実施例2の電子装置の製造方法を説明するための図である。

30 【図19】本実施例2の電子装置の製造方法を説明するための図である。

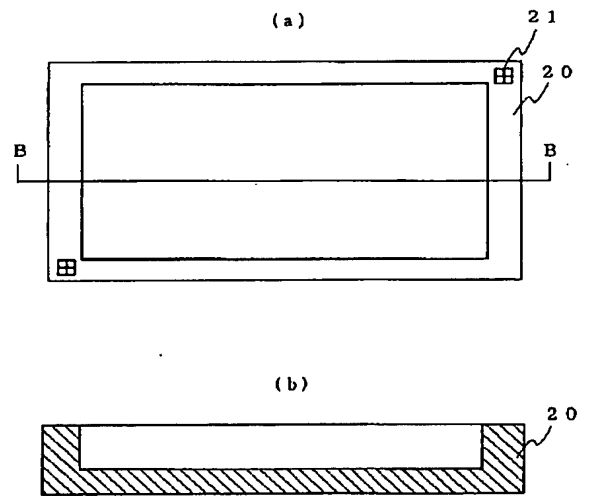
【符号の説明】

- 1 半導体チップ
- 2 形成樹脂
- 3 ボール端子
- 4 接着剤
- 5 放熱板
- 6 ビア穴
- 7 導電層
- 40 8 導電配線
- 10 電子装置
- 11 ボード
- 12 コネクタ端子
- 20 形成容器
- 21 マーカ
- 30 メモリモジュール
- 100 電子装置

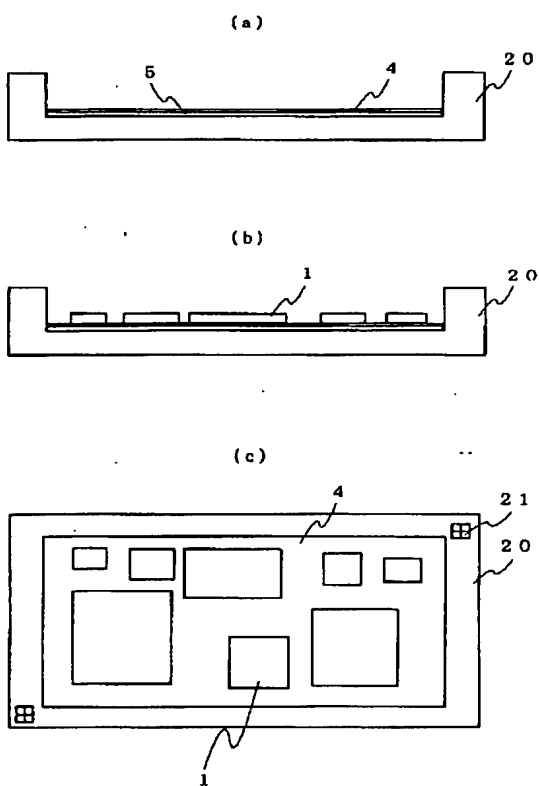
【図 1】



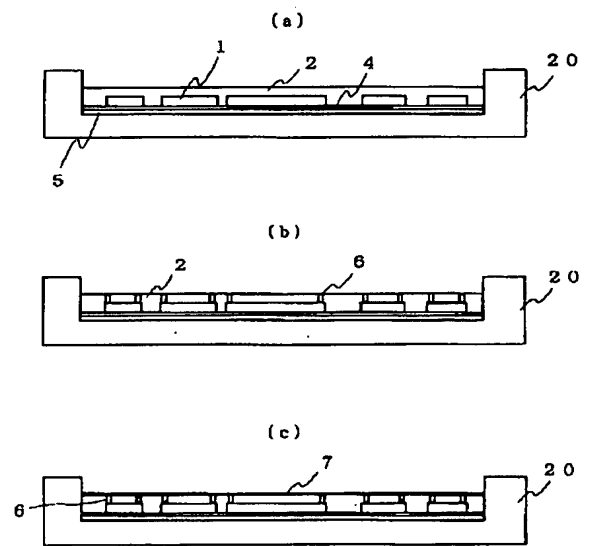
【図 2】



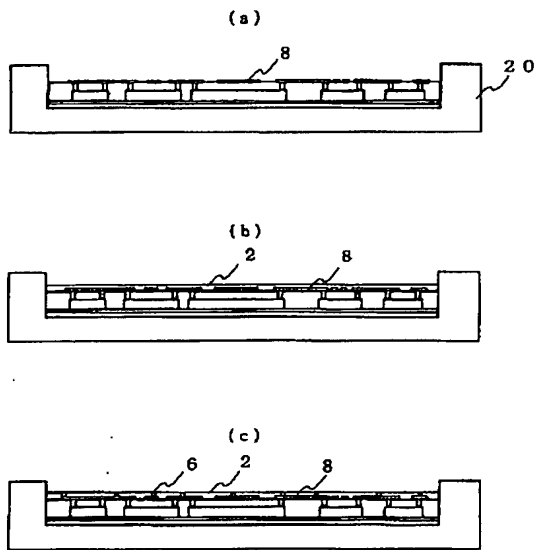
【図 3】



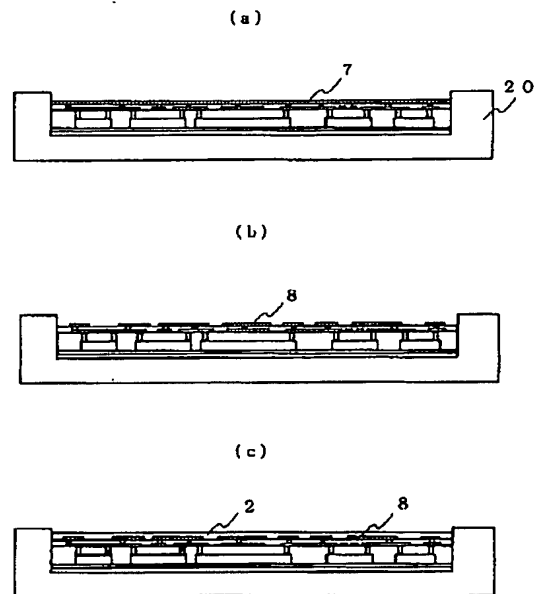
【図 4】



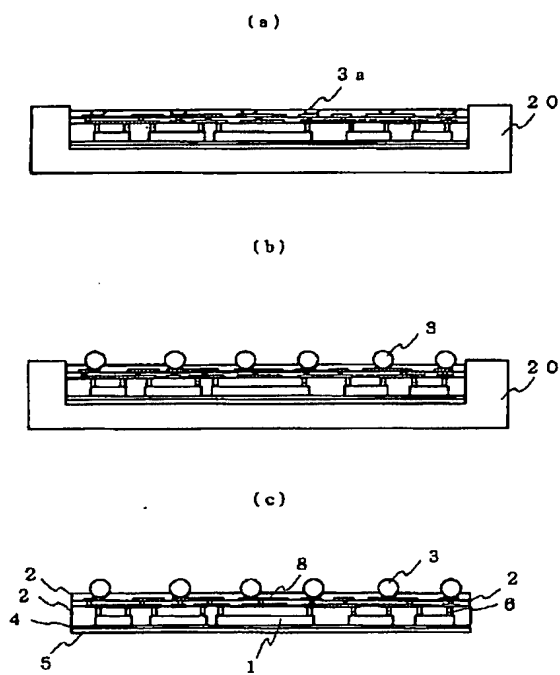
【図 5】



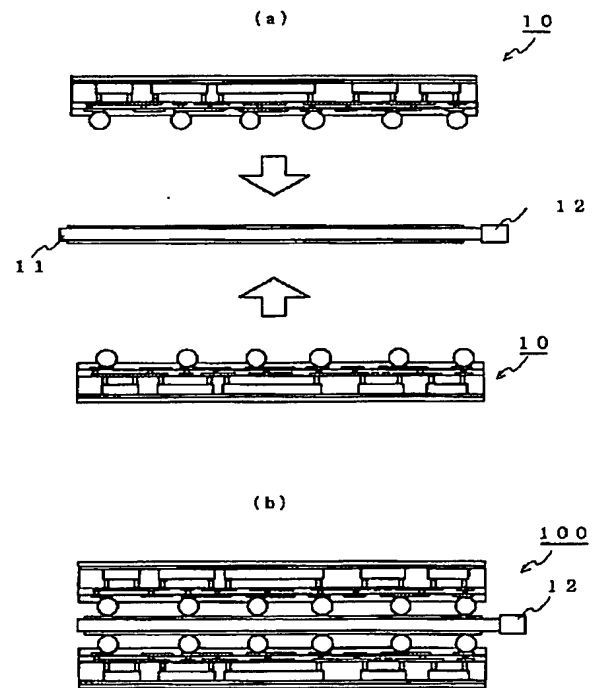
【図 6】



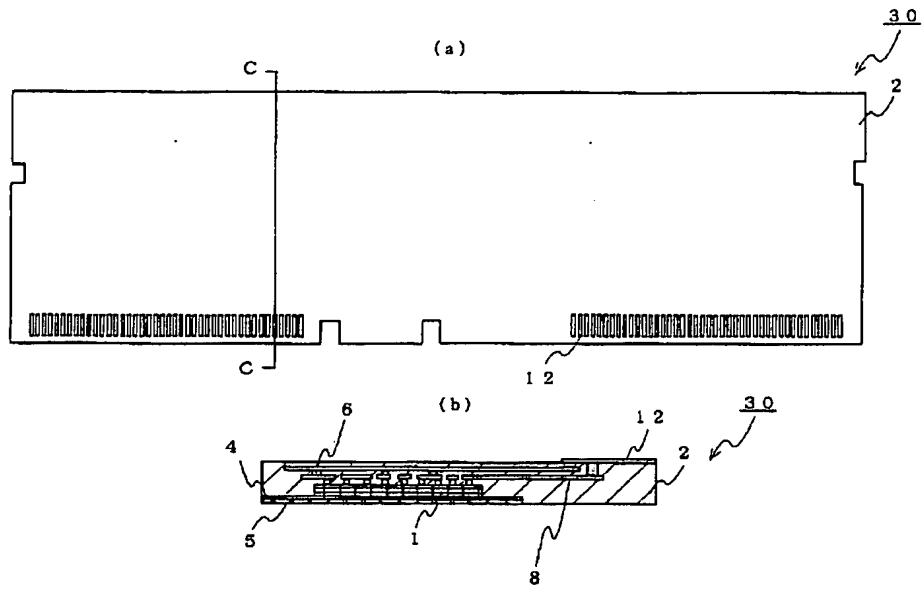
【図 7】



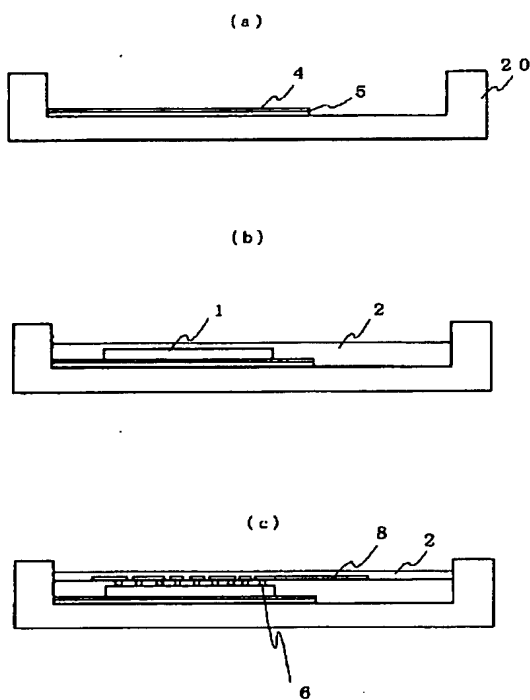
【図 8】



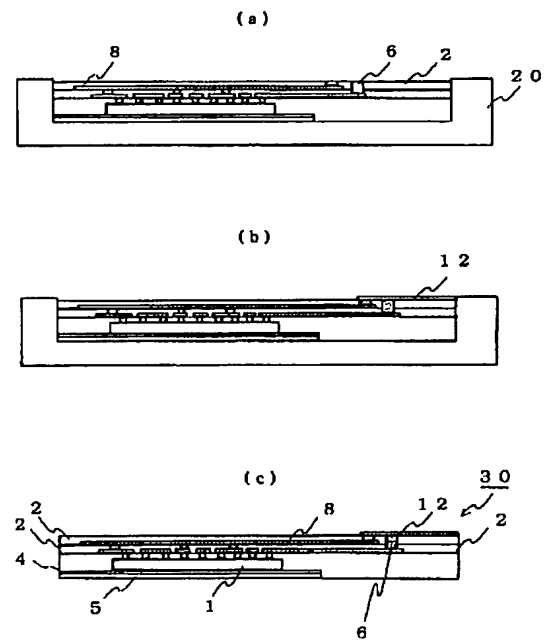
【図 9】



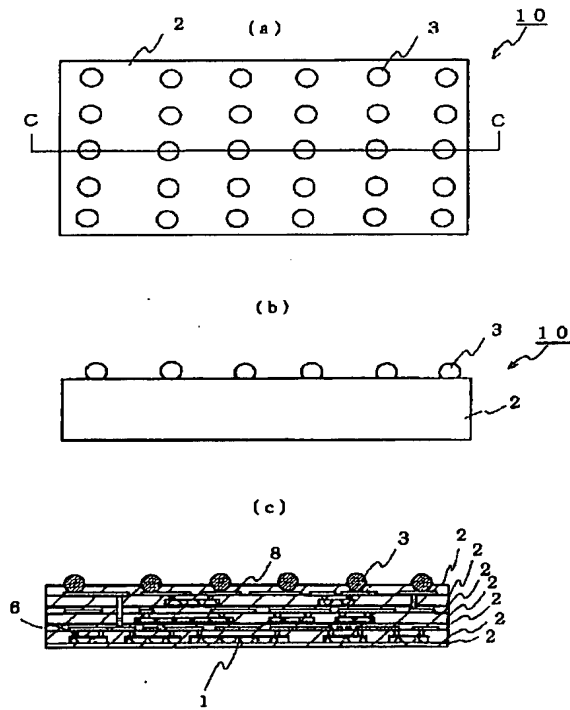
【図 10】



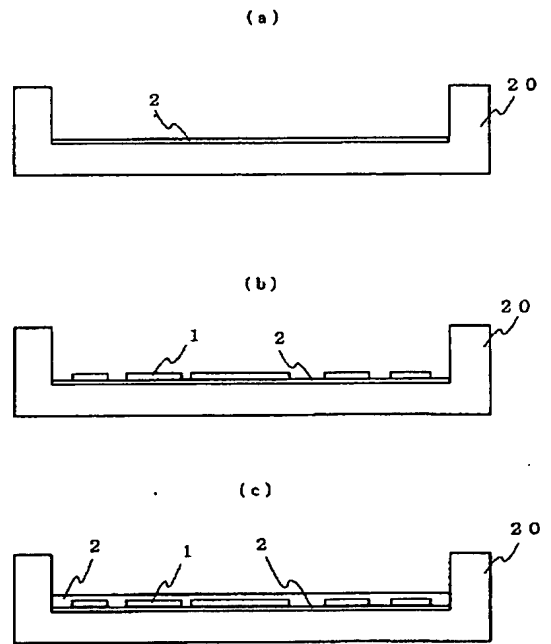
【図 11】



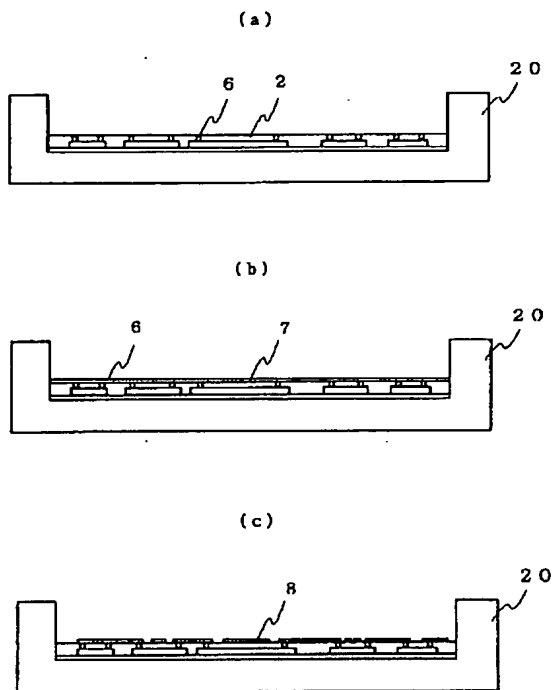
【図12】



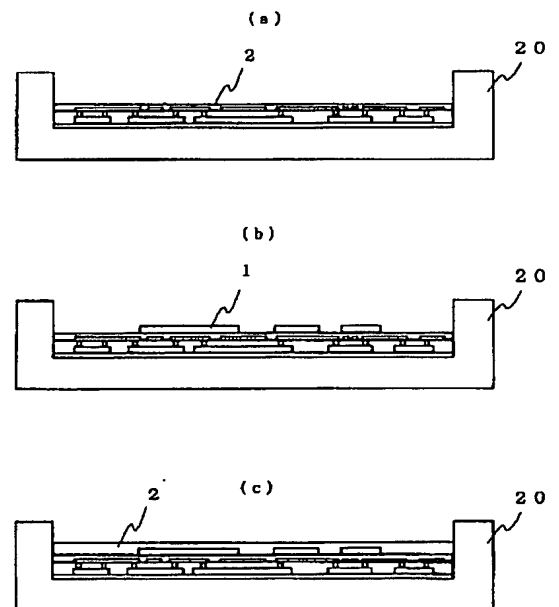
【図13】



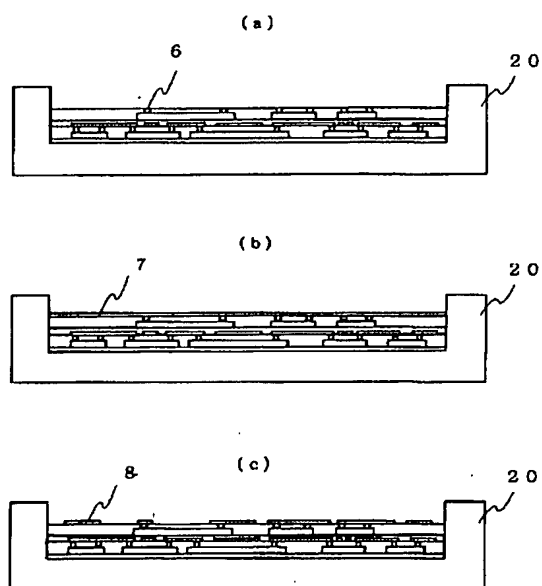
【図14】



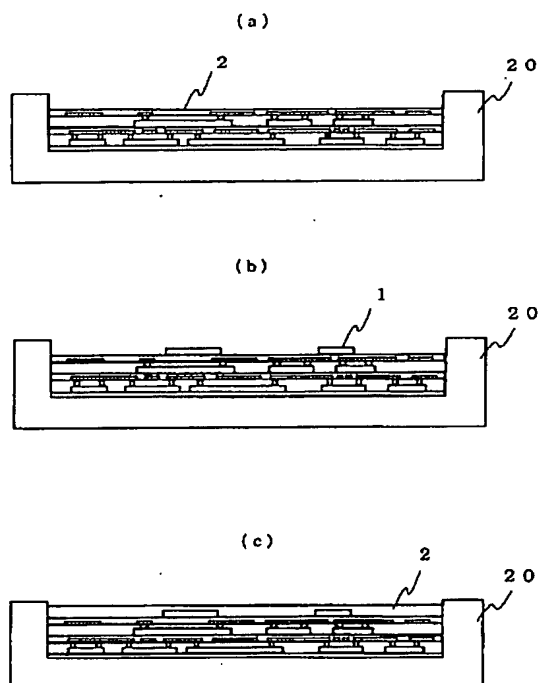
【図15】



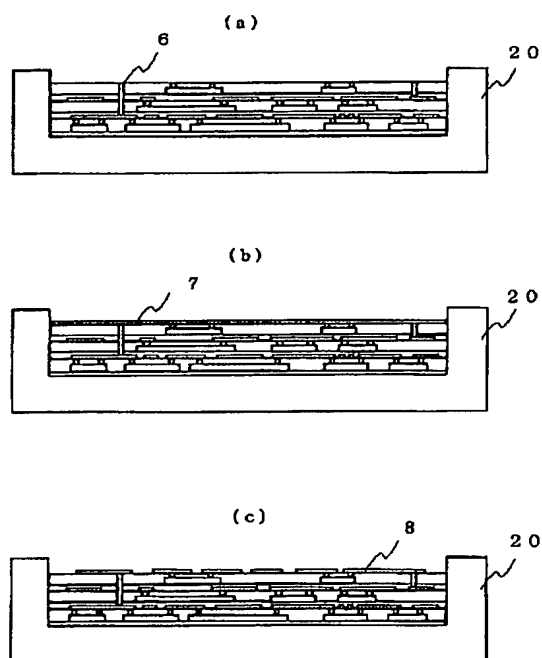
【図16】



【図17】



【図18】



【図19】

